

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-004341

(43)Date of publication of application : 10.01.1987

(51)Int.Cl.

H01L 21/78
B28D 5/00

(21)Application number : 60-143721

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.06.1985

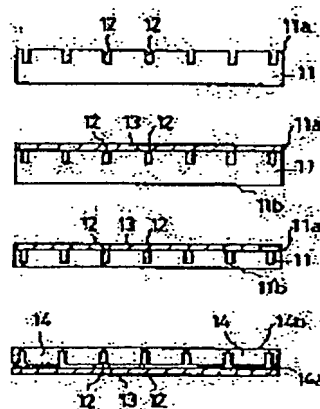
(72)Inventor : WASHIO AKIO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract

PURPOSE: To prevent a semiconductor substrate from being broken during the process for separating the substrate into chips, by carrying out the blade dicing process and the lapping process in a reverse order for the purpose of omitting the process for peeling a protection tape directly from the substrate.

CONSTITUTION: The surface 11a of a substrate 11 on which elements have been produced completely is cut along predetermined lines to provide grooves 12 (blade dicing process). A protection tape 13 is adhered onto the surface of the substrate 11 so that the tape 13 also prevents the scattering of chips. Subsequently the rear face of the substrate is polished up to the vicinity of the grooves 12 (lapping process). A pressure is applied to the rear surface of the substrate 11 by means of a rubber roller or the like so as to separate the substrate into chips 14 by the grooves 12. Finally, the protection tape 13 is peeled off from the surface 14a of each chip 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭62-4341

⑪ Int. Cl.⁴H 01 L 21/78
B 28 D 5/00
H 01 L 21/78

識別記号

庁内整理番号

A-7376-5F
A-6719-3C
D-7376-5F

⑬ 公開 昭和62年(1987)1月10日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭60-143721

⑯ 出 願 昭60(1985)6月29日

⑰ 発 明 者 鷲 尾 昭 雄 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板を個々のチップに分離するために半導体基板の表面から所定深さの溝を形成する工程と、該半導体基板の表面をテープで被覆する工程と、該半導体基板の裏面から前記溝底部近傍まで研磨して所定厚さとする工程と、前記溝底部から半導体基板底部までを破断させ、個々のチップに分離する工程とを具備したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体装置の製造方法に関し、特にアセンブリ工程で半導体基板を個々のチップに分離する際に使用されるものである。

〔発明の技術的背景〕

半導体基板を個々のチップに分離するための従来の方法を第2図(a)～(g)を参照して説明

する。

まず、素子製造工程が終了した半導体基板1の表面1aに保護テープ2を貼付する(第2図(a)図示)。次に、半導体基板1の裏面側から研磨して所定厚さの半導体基板1'とする(同図(b)図示)。つづいて、半導体基板1'の表面1a'から保護テープ2を剥離して所定厚さの半導体基板1''を得る(同図(c)及び(d)図示)。以上の工程は一般にラッピング工程と称されている。

次いで、半導体基板1''の裏面1''bに飛散防止テープ3を貼付する(同図(e)図示)。つづいて、半導体基板1''の表面1''aの所定位置からカッティングして前記飛散防止テープ3に達する溝4、…を形成し、半導体基板1''を個々のチップ5、…に分離する(同図(f)図示)。以上の(e)及び(f)の工程は一般にブレード・ダイシング工程と称されている。

次いで、飛散防止テープ3側から圧力を加え、飛散防止テープ3からチップ5、…の裏面5aを剥離し、半導体基板1からのチップ5、…の分離

工程を終了する（同図（g）図示）。

〔背景技術の問題点〕

しかし、上述した従来の方法では、第2図（c）の工程で半導体基板1'の表面1'aから保護テープ2を剥離する際に半導体基板1'が破損し易いという欠点がある。この欠点は半導体基板1'の厚さが薄く、大口徑になるほど顕著となる。

〔発明の目的〕

本発明は上記欠点を解消するためになされたものであり、半導体基板のチップへの分割工程で半導体基板の破損を防止し得る半導体装置の製造方法を提供しようとするものである。

〔発明の概要〕

本発明の半導体装置の製造方法は、半導体基板を個々のチップに分離するために半導体基板の表面から所定深さの溝を形成する工程（ブレード・ダイシング工程）と、該半導体基板の表面をテープで被覆する工程と、該半導体基板の裏面から前記溝底部近傍まで研磨して所定厚さとする工程（ラッピング工程）と、前記溝底部から半導体基

ーラー等により圧力を加え、前記溝12と半導体基板11'の裏面11'bとの間を破断させて個々のチップ14、…に分離し、更に保護テープ13からチップ14、…の表面14aを剥離し、半導体基板11からチップ14、…への分離工程を終了する（同図（d）図示）。

このような方法によれば、従来の方法と異なり、ブレード・ダイシング工程を先に行ない、ついで保護テープ13を貼付し、更にラッピング工程を行なった後、個々のチップ14、…に分割しているので、半導体基板11の状態ではテープを剥離する工程がない。この結果、半導体基板が破損することはなく、特に厚さが薄く、大口徑の基板の分割工程に適した方法といえる。また、従来の方法ではラッピング時に保護テープを、ブレード・ダイシング時に飛散防止テープをそれぞれ使用しているが、本発明方法ではラッピング工程時にのみ保護テープ（飛散防止テープを兼ねる）13を貼付すればよいので、作業能率が向上するとともに、コストを低減することができる。

板底部までを破断させ、個々のチップに分離する工程とを具備したことを特徴とするものである。

このような方法によれば、従来の方法とはブレード・ダイシング工程とラッピング工程とを逆に行っているため、半導体基板から直接テープを剥離する工程がなくなり、半導体基板の破損を防止することができる。

〔発明の実施例〕

以下、本発明の実施例を第1図（a）～（d）を参照して説明する。

まず、素子製造工程が終了した半導体基板11の表面11aの所定位置からカッティングして所定深さの溝12を形成する（ブレード・ダイシング工程）（第1図（a）図示）。次に、半導体基板11の表面側に飛散防止テープを兼ねる保護テープ13を貼付する（同図（b）図示）。つづいて、半導体基板11の裏面を前記溝12の底部近傍まで研磨して所定厚さの半導体基板11'とする（ラッピング工程）（同図（c）図示）。次いで、半導体基板11'の裏面11'bからゴムロ

〔発明の効果〕

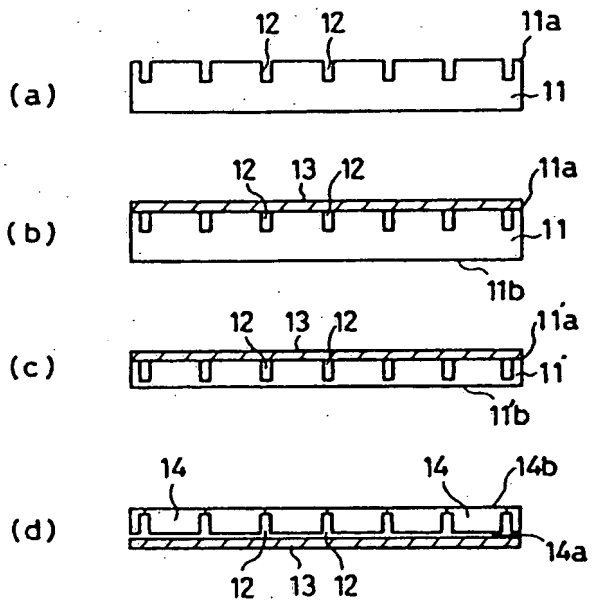
以上詳述した如く本発明の半導体製造装置によれば、半導体基板のチップへの分割工程で半導体基板の破損を防止することができ、特に厚さが薄く、大口徑の半導体基板に適用した場合に歩留りを向上できる等顕著な効果を奏するものである。

4. 図面の簡単な説明

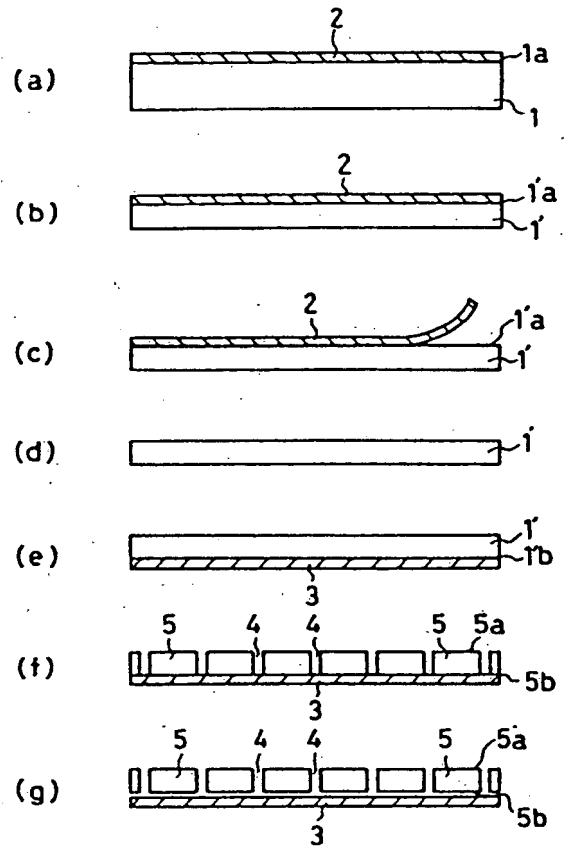
第1図（a）～（d）は本発明の実施例における半導体基板からチップへの分割工程を示す断面図、第2図（a）～（g）は従来の半導体基板からチップへの分割工程を示す断面図である。

11…半導体基板、12…溝、13…保護テープ、14…チップ。

出願人代理人 弁理士 鈴江武彦



第 1 図



第 2 図